

#5
8-1-03
en

Patent
Attorney's Docket No. 040050-050

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
)
Karl-Magnus MÖLLER) Group Art Unit: Unknown
)
Application No.: 10/024,565) Examiner: Unassigned
)
Filed: December 21, 2001)
)
For: A DIGITAL BUS SYSTEM)

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Swedish Patent Application No. 0004832-2


Filed: December 22, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: February 7, 2002

By: 
Kenneth B. Leffler
Registration No. 36,075

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PRV

PATENT- OCH REGISTRERINGSVERKET

Patentavdelningen

Intyg Certificate



Härmed intygas att bifogade kopior överensstämmer med de handlingar som ursprungligen ingivits till Patent- och registreringsverket i nedannämnda ansökan.

This is to certify that the annexed is a true copy of the documents as originally filed with the Patent- and Registration Office in connection with the following patent application.

(71) Sökande *Telefonaktiebolaget L M Ericsson (publ), Stockholm*
Applicant (s) *SE*

(21) Patentansökningsnummer *0004832-2*
Patent application number

(86) Ingivningsdatum *2000-12-22*
Date of filing

Stockholm, 2001-10-24

För Patent- och registreringsverket
For the Patent- and Registration Office


Hjärdís Segeflund

Avgift
Fee *170:-*

2000 -12- 2 2

DIGITALT BUSSYSTEM**TEKNISKT OMRÅDE**

5 Föreliggande uppfinning hänför sig till området digitala bussystem, och mer specifikt till den del av detta område där bussystemet innefattar organ för att generera en klocksignal som anger en takt med vilken data sänds över en databuss.

TEKNIKENS STÅNDPUNKT

10 I tekniska sammanhang finns ofta behovet att sända data mellan enheter i ett tekniskt system. Ett välkänt sätt för att åstadkomma ett datautbyte mellan enheterna är att använda ett digitalt bussystem. Det digitala bussystemet innefattar vanligen en databuss med en eller flera dataledningar. Ett flertal sändarenheter samt en eller flera mottagarenheter är normalt
15 anslutna till databussen. För att undvika "kollisioner" på databussen mellan olika sändarenheter så innefattar det digitala bussystemet ofta en arbitrerare vilken är anordnad att avgöra och styra vilken av sändarenheterna som får tillgång till databussen. Alternativt kan sändarenheterna innefatta organ för
20 att detektera kollisioner på databussen. När en av sändarenheterna har detekterat en kollision så väntar sändarenheten normalt en slumpvis vald tid innan den gör ett nytt försök att sända data. Det digitala bussystemet brukar vidare innefatta en klocka som genererar en klocksignal som
25 anger med vilken takt som data skall sändas på databussen. Klocksignalens frekvens är konstant och normalt uträknad med hänsynstagande till en förutbestämd maximal trafikbelastning i det digitala bussystemet.

30 Det digitala bussystemet har naturligtvis många fördelar, men även vissa nackdelar. En nackdel är att det digitala bussystemet förbrukar mycket effekt. Detta gäller speciellt om bussystemet innefattar ett stort antal sändare, vilket inte är ovanligt inom

många tekniska områden, såsom exempelvis data- och telekommunikation.

REDOGÖRELSE FÖR UPPFINNINGEN

- 5 Föreliggande uppfinning angriper huvudsakligen problemet att minska en effektförbrukning i ett digitalt bussystem.

Problemet löses i korthet med ett bussystem som innefattar en databuss till vilken ett antal sändarenheter och åtminstone en mottagare är anslutna. Bussystemet innefattar vidare organ för att generera en klocksignal som styr en takt med vilken data sänds på databussen. Enligt uppfinningen föreslås att klocksignalen generas så att takten med vilken data sänds på databussen varierar. Eftersom datatakten varierar så arbetar sändarenheterna och mottagaren inte alltid vid en hög frekvens som avpassats för en maximal trafikbelastning i bussystemet, vilket i sin tur innebär att effektförbrukningen i sändarenheterna och mottagaren i medel blir lägre.

En huvudsaklig avsikt med föreliggande uppfinning är således att minska effektförbrukningen i ett digitalt bussystem.

- 20 Det ovan formulerade problemet löses mer konkret enligt det följande. Bussystemet innefattar organ för att fastställa åtminstone en parameter som ger en indikation av hur många av sändarenheterna som för tillfället har behov av att sända data på databussen. Organen som genererar klocksignalen är anordnade att generera klocksignalen med hänsynstagande till den fastställda parametern enligt ett förutbestämt mönster. Härvidlag genereras klocksignalen på ett sådant sätt att ju färre av sändarenheterna som har behov av att sända data, desto lägre blir datatakten på databussen. I och med att klocksignalen genereras på ett sådant sätt att datatakten varierar så minskas medeleffekten i sändarenheterna och mottagaren. Denna lägre effektförbrukning uppnås dessutom utan att väntetider för sändarenheterna att få sända data nämnvärt påverkas, eftersom

klocksignalen genereras så att datatakten avpassas i beroende av hur många av sändarenheterna som har behov av att sända data.

En huvudsaklig fördel med uppfinningen är således att effektförbrukningen minskar. Detta är naturligtvis fördelaktigt inom
 5 många tekniska områden, i synnerhet vid tillämpningar där ett stort antal sändarenheter är anslutna till databussen eller där behovet av att spara effekt är av särskild vikt. Bussystemet enligt uppfinningen är därför fördelaktigt inom data- och telekommunikationstillämpningar, exempelvis i telefonväxlar,
 10 radiobasstationer eller routrar (en form av dataväxlar). Bussystemet enligt uppfinningen är även fördelaktigt i bärbar (mobil) utrustning utan extern effektförsörjning.

Uppfinningen kommer nu att beskrivas närmare med hjälp av föredragna utföringsformer och med hänvisning till bifogade
 15 ritningar.

FIGURBESKRIVNING

Figur 1 visar, som ett exempel enligt uppfinningen, ett blockschema över ett digitalt bussystem.

Figur 2 visar tidsdiagram som illustrerar signaler i det
 20 digitala bussystemet.

Figur 3 visar ett tillståndsdigram som illustrerar round robin-teknik.

Figur 4 visar diagram som illustrerar användning av en FIFO-lista i det digitala bussystemet.

25 Figur 5 visar ett blockschema över en utföringsform av en arbitrerare.

Figur 6 visar ett blockschema över ytterligare en utföringsform av en arbitrerare.

Figur 7 visar ett blockschema över ytterligare en utföringsform av en arbitrerare.

Figur 8 visar ett blockschema över ytterligare en utföringsform av en arbitrerare.

- 5 Figur 9 visar, som ett exempel enligt uppfinningen, ytterligare ett blockschema över ett digitalt bussystem.

Figur 10 visar ett blockschema över en utföringsform av en klockenhet.

- 10 Figur 11 visar ett blockschema över ytterligare en utföringsform av en klockenhet.

FÖREDRAGNA UTFÖRINGSFORMER

I figur 1 visas ett blockschema över en exemplifierande utföringsform av ett digitalt bussystem 1 i enlighet med uppfinningen.

- 15 Bussystemet 1 innefattar en databuss 3 med en klocksignalledning 3a och en dataledning 3b. Alternativt innefattar databussen 3 en eller flera ytterligare dataledningar. Bussystemet 1 innefattar vidare en arbitrerare 5 som även har klockfunktioner, vilket kommer att redogöras för mera ingående längre fram. Bussystemet
20 1 innefattar vidare ett antal (N) sändarenheter 9.1-9.N vilka är anslutna till databussen 3. Vidare är en mottagare 15 ansluten till databussen 3. Alternativt är en eller flera ytterligare mottagare anslutna till databussen 3.

- Arbitrerarens 5 huvudfunktion är att styra sändarenheterna 9.1-
25 9.N så att kollisioner på databussen 3 - det vill säga att två eller flera av sändarna 9.1-9.N försöker sända på databussen 3 samtidigt - undviks. Bussystemet 1 innefattar en arbitrerarbuss 7 som sammanlänkar arbitreraren 5 med arbitrerarslavar 11.1-11.N i sändarenheterna 9.1-9.N. Arbitrerarbussen 7 innefattar i det i
30 figur 1 visade utföringsexemplet fyra signalledningar 7a-7d till

vilka arbitreraren 5 och arbitrerarslavarna 11.1-11.N är anslutna. Arbitreraren 5 är anordnad att generera en första klocksignal CLK1 och en ramsynkroniseringssignal FS, vilka läggs ut på signalledningarna 7a respektive 7b. Den första klock-

5 signalen CLK1 och ramsynkroniseringssignalen FS synkroniserar kommunikation mellan arbitreraren 5 och arbitrerarslavarna 11.1-11.N. Var och en av sändarenheterna 9.1-9.N innefattar en sändare 13.1-13.N. Var och en av sändarna 13.1-13.N är ansluten till databussen 3 samt till den motsvarande arbitrerarslaven

10 11.1-11.N. När en av sändarna 13.1-13.N, exempelvis sändaren 13.1, behöver sända data över databussen 3 så meddelar sändaren 13.1 detta till den motsvarande arbitrerarslaven 11.1. Arbitrerarslavarna 11.1-11.N är anordnade att generera en RTS-

15 signal (Request To Send), som i det i figur 1 visade exemplet läggs ut på signalledningen 7c. Arbitreraren 5 är ansluten till signalledningen 7c och anordnad att mottaga RTS-signalen, som innehåller information om vilka av sändarenheterna 9.1-9.N som begär att få sända data över databussen 3. Arbitreraren 5 är anordnad att utvärdera RTS-signalen och generera en CTS-

20 signal (Clear To Send), som i det i figur 1 visade exemplet läggs ut på signalledningen 7d. Arbitrerarslavarna 11.1-11.N är anslutna till signalledningen 7d och anordnade att mottaga CTS-signalen, som styr vilken av de begärande sändarenheterna 9.1-9.N som får sända data över databussen 3.

25 Arbitreraren 5 är även anordnad att generera en andra klocksignal CLK2, som läggs ut på databussens 3 klocksignal-

30 ledning 3a. Mottagaren 15 och sändarna 13.1-13.N är anslutna till signalledningen 3a och mottager således den andra klocksignalen CLK2, som anger den takt med vilken data sänds över databussen 3. Sändarna 13.1-13.N är härvidlag anordnade att synkronisera sina datasändningar över databussen 3 i enlighet med den datatakt som anges av den mottagna andra klocksignalen CLK2, och mottagaren 15 är på ett motsvarande sätt anordnad att

synkronisera mottagandet av data i beroende av den andra klocksignalen CLK2.

I figur 2 visas fyra tidsdiagram som illustrerar den första klocksignalen CLK1, ramsynkroniseringssignalen FS, RTS-signalen och CTS-signalen.

Den första klocksignalen CLK1 är en ordinär klocksignal i form av pulståg med rektangelpulser. Den första klocksignalen CLK1 har en förutbestämd frekvens. Den andra klocksignalen CLK2 liknar den första klocksignalen CLK1 men har inte nödvändigtvis samma frekvens som den första klocksignalen CLK1. RTS-signalen har en ramstruktur där en sekvens med N ramar F1-FN hela tiden upprepas. Var och en av ramarna F1-FN är associerad med en av sändarenheterna 9.1-9.N. Således är den första ramen F1 associerad med den första sändarenheten 9.1, den andra ramen F2 associerad med den andra sändarenheten 9.2, och så vidare. Ramarna F1-FN i RTS-signalen är synkroniserade med den första klocksignalen CLK1, och ramarnas F1-FN tidsutsträckning motsvarar en periodtid hos den första klocksignalen CLK1. Ramsynkroniseringssignalen FS illustreras i det andra tidsdiagrammet i figur 2. Ramsynkroniseringssignalen FS är ett pulståg med rektangelpulser, vilka är synkroniserade med den första klocksignalen CLK1 och återkommande med en periodtid motsvarande N perioder av den första klocksignalen CLK1. Rektangelpulserna hos ramsynkroniseringssignalen FS anger när den första ramen F1 i varje ramsekvens börjar. I det i figur 2 visade exemplet indikeras början på ramen F1 av en positiv flank hos rektangelpulsen. Var och en av ramarna F1-FN hos RTS-signalen innefattar en binär informationsbit (0 eller 1), vilken indikerar om de associerade sändarenheterna 9.1-9.N begär att få sända data på databussen 3 eller inte. Om informationsbiten i en av ramarna, exempelvis F1, är ett (1) så begär den motsvarande sändarenheten 9.1 att få sända data över databussen 3. I det i figur 2 visade exemplet så begär således sändarenheterna 9.1 och 9.N att få sända data, medan övriga sändarenheter 9.2-9.N-1 för

tillfället inte begär att få sända data. CTS-signalen illustreras i det sista diagrammet i figur 2. CTS-signalen har en ramstruktur som motsvarar ramstrukturen hos RTS-signalen. Var och en av ramarna F1-FN i CTS-signalen är associerade med en av sändarenheterna 9.1-9.N. Således är den första ramen F1 hos CTS-signalen associerad med den första sändarenheten 9.1, den andra ramen F2 hos CTS-signalen associerad med den andra sändarenheten 9.2, och så vidare. CTS-signalen är synkroniserad till den första klocksignalen CLK1, och ramsynkroniseringssignalen FS anger på samma sätt som för RTS-signalen när den första ramen F1 i CTS-signalen sänds. Var och en av ramarna F1-FN i CTS-signalen innefattar en informationsbit (0 eller 1) som anger vilken av de begärande sändarenheterna 9.1-9.N som för tillfället får sända data på databussen 3. I det i figur 2 illustrerade exemplet är det sändarenhet N som får sända data på databussen 3, vilket indikeras genom att informationsbiten i ramen FN hos CTS-signalen är ett (1).

Det finns naturligtvis ett nästan outtömligt antal sätt på vilka arbitreraren 5 kan vara anordnad för att avgöra i vilken ordning som de begärande sändarenheterna 9.1-9.N skall få sända data över databussen 3. I figurerna 3 och 4 illustreras två av de vanligaste sätten för att avgöra i vilken ordning som de begärande sändarenheterna får sända data över databussen 3.

I figur 3 visas ett tillståndsdigram som illustrerar så kallad round robin-teknik. Det avgörs först om den första sändarenheten 9.1 begär att få sända data. Om den första sändarenheten begär att få sända data så tillåts den första sändarenheten 9.1 att sända data tills dess att den första sändarenheten 9.1 ej längre begär att få sända data. När den första sändarenheten 9.1 inte begär att få sända data så avgörs det om den andra sändarenheten 9.2 begär att få sända data, och om så är fallet får den andra sändarenheten 9.2 sända data till dess att den andra sändarenheten 9.2 inte längre begär att få sända data. Proceduren upprepas på samma sätt för alla de kvarvarande

sändarenheterna 9.3-9.N och börjar därefter om igen från den första sändarenheten 9.1.

I figur 4 visas blockdiagram som illustrerar hur en så kallad FIFO-lista (First In First Out) kan utnyttjas för att organisera när de begärande sändarenheterna skall få tillgång till databussen 3. Överst i figur 4 visas FIFO-listan då tre sändarenheter 9.N, 9.3 och 9.2 begär att få sända data över databussen 3. Sändarenheten 9.N står först i FIFO-listan och får därmed sända data över databussen 3. Senare begär även sändarenheten 9.1 att få sända data, och sändarenheten 9.1 läggs då in sist i FIFO-listan. När sändarenheten 9.N sänt färdigt och således inte längre begär att få sända data så tas sändarenheten 9.N bort ur FIFO-listan. Sändarenheten 9.3 står nu först i FIFO-listan och får därför sända data över databussen 3. Med FIFO-listan får de begärande sändarenheterna 9.N, 9.3, 9.2 och 9.1 således sända data över databussen 3 i den ordning som sändarenheterna 9.N, 9.3, 9.2 och 9.1 har begärt att få sända data.

I figur 5 visas ett blockschema över en exemplifierande utföringsform av arbitreraren 5. Arbitreraren 5 innefattar en klocksignalgenerator 21 vilken är anordnad att generera den första klocksignalen CLK1. En signalgenerator 23 är anordnad att mottaga den första klocksignalen CLK1 och att generera ramsynkroniseringssignalen FS i beroende av den första klocksignalen CLK1. Arbitreraren 5 innefattar vidare en S/P-omvandlare 25 (Serie-till-Parallell-omvandlare), vilken är anordnad att mottaga RTS-signalen. S/P-omvandlaren 25 är anordnad att ta emot de seriellt inkommande ramarna F1-FN hos RTS-signalen och att lägga ut ramarna F1-FN parallellt på ett motsvarande antal (N) utgångar. S/P-omvandlaren 25 är anordnad att mottaga den första klocksignalen CLK1 samt ramsynkroniseringssignalen FS, vilka utnyttjas av S/P-omvandlaren 25 för att korrekt synkronisera mottagandet av ramarna F1-FN hos RTS-signalen. En köhanterare 27 är ansluten

till utgångarna hos S/P-omvandlaren 25 och mottager således ramarna F1-FN hos RTS-signalen parallellt. Köhanteraren 27 är anordnad att avgöra, i beroende av de mottagna ramarna F1-FN, i vilken ordning som de begärande sändarenheterna får sända data över databussen 3. Exempelvis kan köhanteraren 27 vara anordnad att använda round robin-teknik, en FIFO-lista eller något annat system för att bestämma ordningen i vilken de begärande sändarenheterna får sända data. Köhanteraren 27 är vidare anordnad att generera CTS-signalens ramar F1-FN, vilka som bekant anger vilken av sändarenheterna 9.1-9.N som för tillfället får sända data över databussen 3. Köhanteraren 27 är anordnad att lägga ut CTS-signalens ramar F1-FN parallellt på ett motsvarande antal (N) utgångar hos köhanteraren 27. En P/S-omvandlare 29 (Parallell-till-Seriell-omvandlare) är ansluten till utgångarna hos köhanteraren 27. P/S-omvandlaren 29 är därvidlag anordnad att mottaga CTS-signalens ramar F1-FN parallellt. P/S-omvandlaren 29 är vidare anordnad att generera CTS-signalen genom att lägga ut det mottagna ramarna F1-FN seriellt på en utgång. P/S-omvandlaren 29 är anordnad att mottaga den första klocksignalen CLK1 samt ramsynkroniserings-signalen FS, vilka utnyttjas av P/S-omvandlaren 29 för att korrekt synkronisera ramarna F1-FN i CTS-signalen.

Arbitreraren 5 i figur 5 innefattar vidare organ för att generera den andra klocksignalen CLK2. Den andra klocksignalen CLK2 genereras härvidlag med hänsynstagande till hur många av sändarenheterna 9.1-9.N som begär att få sända data över databussen 3. Den andra klocksignalens CLK2 frekvens, som styr med vilken takt som data sänds över databussen 3, minskar i och med att ett mindre antal av sändarenheterna 9.1-9.N begär att få sända data över databussen 3. Detta innebär att sändarenheterna 9.1-9.N och mottagaren 15 inte alltid arbetar vid en hög frekvens som är avpassad för en förutbestämd maximal trafikbelastning i det digitala bussystemet 1, vilket i sin tur leder till en genomsnittligt lägre effektförbrukning i

sändarenheterna 9.1-9.N och mottagaren 15. Denna lägre effektförbrukning uppnås dessutom utan att väntetider för sändarenheterna 9.1-9.N att få sända data över databussen 3 nämnvärt påverkas, eftersom frekvensen hos den andra klocksignalen CLK2 anpassas i beroende av hur många av sändarenheterna 9.1-9.N som begär att få sända data på databussen 3.

Arbitreraren 5 i figur 5 innefattar en signalgenerator 33 som är anordnad att generera en referenssignal 34 i form ett pulståg med rektangelpulser. Referenssignalen 34 har en förutbestämd frekvens. En binär räknare 35 är ansluten till signalgeneratoren 33 och anordnad att mottaga referenssignalen 34. Den binära räknaren 35 är anordnad att räkna referenssignalens 34 rektangelpulser och att ange det räknade antalet rektangelpulser binärt med ett förutbestämt antal bitar. Den binära räknaren 35 i figur 5 omfattar fyra (4) bitar, men omfattar alternativt ett annat antal bitar, från två (2) och uppåt. Den första biten (entalsbiten) varierar med samma frekvens som referenssignalen 34. Den andra biten (tvåtalsbiten) varierar med en frekvens motsvarande halva frekvensen hos referenssignalen 34. Den tredje biten (fyrtalsbiten) varierar med en frekvens motsvarande en fjärdedel av referenssignalens 34 frekvens. Den fjärde biten (åttatalsbiten) varierar med en frekvens som motsvarar en åttondel av referenssignalens 34 frekvens. En styrbar väljare 37 är ansluten till den binära räknaren 35 och anordnad att mottaga de fyra bitarna från den binära räknaren 35. Väljaren 37 är anordnad så att en av de mottagna bitarna kan väljas och läggas ut på en utgång hos väljaren 37. Den på detta sätt valda biten utgör härvidlag den andra klocksignalen CLK2. En styrkrets 39 är ansluten till väljaren 37 och anordnad att styra vilken av bitarna som väljs av väljaren 37. Arbitreraren 5 i figur 5 innefattar vidare en adderare 31 vilken är ansluten till utgångarna hos S/P-omvandlaren 25. Adderaren 31 är anordnad att addera informationsbitarna i RTS-signalens ramar F1-FN, och en

därigenom erhållen summa M anger således det antal av sändarenheterna 9.1-9.N som för tillfället begär att få sända data över databussen 3. Styrkretsen 39 är ansluten till adderaren 31 och anordnad att mottaga information om summan M från adderaren 31. Styrkretsen 39 är anordnad att styra väljaren 37 i beroende av summan M , det vill säga antalet begärande sändarenheter. Styrkretsen 39 är härvidlag anordnad att jämföra summan M med ett antal lagrade tröskelvärden som anger för vilka värden på summan M som de olika bitarna från den binära räknaren 35 skall väljas. För att ta ett konkret exempel: låt antalet sändarenheter 9.1-9.N vara fjorton (14) till antalet och låt referenssignalens 34 frekvens vara 32 MHz. Tröskelvärdena kan exempelvis sättas till tolv (12), åtta (8) och tre (3). Då summan M ligger intervallet [13,14] så väljs således den första biten från den binära räknaren 35 till att utgöra den andra klocksignalen CLK2, vilken därmed får frekvensen 32 MHz. Då summan M ligger i intervallet [9,12] så väljs den andra biten från den binära räknaren 35 till att utgöra den andra klocksignalen CLK2, vilken därmed får frekvensen 16 MHz. Då summan M ligger i intervallet [4,8] så väljs den tredje biten från den binära räknaren 35 till att utgöra den andra klocksignalen CLK2, vilken därmed får frekvensen 8 MHz. Då summan M ligger i intervallet [0,3] så väljs den fjärde biten från den binära räknaren 35 till att utgöra den andra klocksignalen CLK2, vilken därmed får frekvensen 4 MHz.

För att ytterligare minska effektförbrukningen kan arbitreraren 5 vara anordnad att stänga av den andra klocksignalen CLK2 helt då inga av sändarenheterna 9.1-9.N begär att få sända data ($M=0$). Exempelvis kan väljaren 37 vara anordnad så att det på kommando från styrkretsen går att avstå från att välja någon av bitarna från den binära räknaren 35 och istället inte lägga ut någon signal på väljarens 37 utgång. Alternativt är arbitreraren

5 anordnad så att signalgeneratoren 33 kan stängas av på kommando från styrkretsen 39.

Den binära räknaren 35 i kombination med väljaren 37 utgör en enkel och billig form frekvensdelare som neddelar frekvensen hos referenssignalen 34 med 2^n ($n=0,1,2,3$). Alternativt innefattar 5
arbitreraren 5 istället någon annan, eventuellt mer avancerad, form av frekvensdelare för att utföra en frekvensmodifiering av referenssignalen 34. Naturligtvis kan istället en frekvensmultiplicerare utnyttjas på ett liknande sätt för att frekvens-
10 modifiera referenssignalen 34 i beroende av summan M.

Referenssignalens 34 frekvens motsvarar i den i figur 5 visade utföringsformen en maximal frekvens hos den andra klocksignalen CLK2. Referenssignalens 34 frekvens är avpassad med hänsynstagande till en förutbestämd maximal trafikbelastning i
15 det digitala bussystemet 1, och mottagaren 15 respektive sändarna 13.1-13.N är anordnade så att de klarar att mottaga respektive sända data med den takt som anges av referenssignalen 34. Alternativt kan dock referenssignalens 34 frekvens sättas högre än vad mottagaren 15 är avsedd för. En mottagningsbuffert
20 (ej visad) hos mottagaren 15 har då en storlek som är avpassad med hänsynstagande till referenssignalens 34 frekvens och en sannolikhetsfördelning för hur långa stunder som data kommer att sändas med den maximala datatakt om anges av referenssignalen 34. På detta sätt kan således korta "skurar" av data sändas med
25 en datatakt som ligger över vad som långvarigt kan användas på databusen 3.

För att inte förlora data som sänds över databussen 3 så är styrkretsen 39 anordnad att välja lämpliga tidpunkter när den andra klocksignalens CLK2 frekvens ändras. Styrkretsen 39 är i
30 det i figur 5 visade exemplet anordnad att mottaga den första klocksignalen CLK1, ramsynkroniseringssignalen FS och CTS-signalen för att korrekt välja ut dessa lämpliga tidpunkter. Föredraget är härvidlag att styrkretsen 39 är anordnad att ändra

den andra klocksignalens CLK2 mellan det att två av sändarenheterna 9.1-9.N sänder data över databussen 3.

Alternativt är det dock möjligt att ändra den andra klocksignalens CLK2 frekvens under sändning av data över databussen 3. Styrkretsen 39 är då anordnad att tillse att frekvensbytet från en ursprunglig frekvens till en ny frekvens blir "glitchfritt", det vill säga att frekvensen under bytet inte temporärt överstiger varken den ursprungliga frekvensen eller den nya frekvensen.

10 I figurerna 6 och 7 visas blockscheman över variationer av utföringsformen av arbitreraren 5 i figur 5. I figur 6 utnyttjas referenssignalen 34 även som den första klocksignalen CLK1, vilket således medför att klocksignalgeneratoren 21 kan uteslutas. I figur 7 utnyttjas den andra klocksignalen CLK2 även 15 som den första klocksignalen CLK1, vilket innebär att klocksignalgeneratoren 21 kan uteslutas samt att effektförbrukningen i bussystemet 1 ytterligare minskas. I övrigt är utföringformerna i figur 6 och 7 anordnade på samma sätt som utföringsformen i figur 5.

20 I figur 8 visas ett blockschema över en alternativ utföringsform av arbitreraren 5. Utföringsformen i figur 8 uppvisar stora likheter med utföringsformen i figur 5, varför endast skillnaderna mellan de båda utföringsformerna kommer att beskrivas mera ingående. Utföringsformen i figur 8 skiljer sig 25 från utföringsformen i figur 5 genom att arbitreraren 5 i figur 8 innefattar en digitalt styrd oscillator (DCO) 36 för att generera den andra klocksignalen CLK2. Oscillatorn 36 är ansluten till styrkretsen 39, vilken är anordnad att styra oscillatorn 36 i beroende av värdet på summan M som anger hur 30 många av sändarenheterna 9.1-9.N som begär att få sända data över databussen 3. Styrkretsen 39 är anordnad att styra oscillatorn 36 så att den andra klocksignalens CLK2 frekvens beror av summan M på ett sådant sätt den andra klocksignalens

CLK2 f avtar då summan M avtar. Det vill säga om M1 och M2 betecknar två olika värden på summan M och $f(M1)$ och $f(M2)$ de motsvarande frekvenserna så gäller det att $f(M2) \leq f(M1)$ då $M2 < M1$. Med oscillatorn 36 kan frekvensen hos den andra klocksignalen CLK2 varieras i beroende av summan M på ett finare sätt än vad som är möjligt med arbitreraren 5 i figur 5. I princip kan den andra klocksignalens CLK2 frekvens ges ett unikt värde för varje värde ($M=0,1,2,...,N$) på summan M. Detta möjliggör i sin tur att den andra klocksignalens CLK2 frekvens kan ändras samtidigt som data sänds över databussen 3, utan risk för att data förloras. Således kan data sändas kontinuerligt över databussen 3, vilket leder till ett effektivare utnyttjande av kommunikationsresurser i det digitala bussystemet 1. Frekvensen hos den andra klocksignalen CLK2 kan naturligtvis varieras i beroende av summan M på olika sätt, exempelvis den andra klocksignalens CLK2 frekvens varieras linjärt i beroende av summan M.

I ett alternativ till utföringsformen av arbitreraren 5 i figur 8 kan den andra klocksignalen CLK2 även utnyttjas som den första klocksignalen CLK1, på ett liknande sätt som i figur 7. Detta innebär att klocksignalgeneratoren 21 kan uteslutas från figur 8 samt att effektförbrukningen ytterligare minskas.

I figur 9 visas ett blockschema över ytterligare en exemplifierande utföringsform av ett digitalt bussystem 1a enligt uppfinningen. Bussystemet 1a i figur 9 är i stora drag konstruerat på samma sätt som bussystemet 1 i figur 1. Bussystemet 1a skiljer sig dock från bussystemet 1 på den punkten att det inte innefattar någon arbitreringsfunktion. Istället är sändarna 13.1-13.N i sändarenheterna 9.1-9.N utrustade med kretsar (ej visade) för detektering av kollisioner på databussen 3. Om en av sändarna 9.1-9.N vid ett försök att sända data över databussens 3 dataledning 3b detekterar en kollision så väntar sändaren en slumpvis utvald tid innan den

gör ett nytt försök att sända data. Bussystemet 1a innefattar en klockenhet 5a som är anordnade att generera en andra klocksignal CLK2 som läggs ut på klocksignalledningen 3a och som anger en takt med vilken data sänds över databussen 3. Frekvensen hos den andra klocksignalen CLK2 baseras på hur ofta kollisioner uppträder på databussen 3. För att inhämta information gällande kollisioner från sändarenheterna 9.1-9.N så innefattar det digitala bussystemet 1a en informationsbuss 7.1 med tre signalledningar 7a, 7b och 7c. Informationsbussen 7.1 sammanlänkar klockenheten 5a med slavar 11.1a-11.Na i sändarenheterna 9.1-9.N. Klockenheten 5a är anordnad att generera en första klocksignal CLK1 samt en ramsynkroniserings-signal FS, vilka läggs ut på signalledningarna 7a respektive 7b. Då sändarna 13.1-13.N har detekterat kollisioner på databussen 3 så sänder de information om detta till slavar 11.1a-11.Na, vilka i sin tur sänder information om inträffade kollisioner till klockenheten med utnyttjande av en kollisionsindikator-signal - CIS (Collision Indicator Signal). Klockenheten 5a är anordnad att mottaga CIS-signalen via signalledningen 7c. CIS-signalen har en ramstruktur liknande den hos exempelvis RTS-signalen i bussystemet 1. CIS-signalen synkroniseras med hjälp av den första klocksignalen CLK1 och ramsynkroniseringssignalen FS. CIS-signalens ramar innefattar information om huruvida sändarna har råkat ut för en kollision vid senaste försöket att sända data över databussen 3. En informationsbit i form av en etta (1) i av ramarna indikerar att den motsvarande sändaren vid det senaste försöket att sända data över databussen 3 råkade ut för en kollision, och en informationsbit i form av en nolla (0) i ramen indikerar på ett motsvarande sätt att ingen kollision inträffade vid det senaste försöket att sända data.

I figur 10 visas ett blockschema över en exemplifierande utföringsform av klockenheten 5a. Konstruktionen av klockenheten 5a i figur 10 motsvarar i stort konstruktionen av arbitreraren 5 i figur 5. Men eftersom bussystemet 1a inte innefattar någon

arbitrerarfunktion så innefattar klockenheten 5a i figur 10 inte köhanteraren 27 och inte heller P/S-omvandlaren 29. Vidare är S/P-omvandlaren 25 anordnad att mottaga CIS-signalen istället för RTS-signalen. Adderaren 31, vilken är ansluten till

5 utgångarna hos S/P-omvandlaren 25, är således anordnad att generera en summa M1 genom att addera informationsbitarna i CIS-signalens ramar. Summan M1 motsvarar således det antal av sändarenheterna 9.1-9.N som nyligen har detekterat kollisioner vid försök att sända data över databussen 3. Ju fler kollisioner

10 som detekteras, desto fler av sändarna 13.1-13.N är det som försöker sända data över databussen 3. Summan M1 ger således indirekt en indikation av hur många av sändarenheterna som har behov av att sända data över databussen 3. Styrkretsen 39 är anordnad att styra frekvensen hos den andra klocksignalen CLK2 i

15 beroende av summan M1 på ett liknande sätt som frekvensen hos den andra klocksignalen CLK2 i utföringsformen i figur 5 varierar i beroende av summan M. Utföringsformen av klockenheten 5a i figur 10 kan varieras på olika sätt, exempelvis kan referenssignalen 34 eller den andra klocksignalen CLK2 utnyttjas

20 som den första klocksignalen CLK1 på liknande sätt som i utföringsformerna av arbitreraren 5 i figurerna 6 och 7.

I figur 11 visas ett blockschema över ytterligare en exemplifierande utföringsform av klockenheten 5a. Konstruktionen av klockenheten 5a i figur 11 motsvarar i stort konstruktionen

25 av arbitreraren 5 i figur 8. Men eftersom bussystemet 1a inte innefattar någon arbitrerarfunktion så innefattar klockenheten 5a i figur 11 inte köhanteraren 27 och inte heller P/S-omvandlaren 29. Vidare är S/P-omvandlaren 25 anordnad att mottaga CIS-signalen istället för RTS-signalen. Adderaren 31,

30 vilken är ansluten till utgångarna hos S/P-omvandlaren 25, är således anordnad att generera en summa M1 genom att addera informationsbitarna i CIS-signalens ramar. Summan M1 motsvarar således det antal av sändarenheterna 9.1-9.N som nyligen har detekterat kollisioner vid försök att sända data över databussen

3. Ju fler kollisioner som detekteras, desto fler av sändarna 13.1-13.N är det som försöker sända data över databussen 3. Summan M1 ger således indirekt en indikation av hur många av sändarenheterna som har behov av att sända data över databussen

5 3. Styrkretsen 39 är anordnad att styra frekvensen hos den andra klocksignalen CLK2 i beroende av summan M1 på ett liknande sätt som frekvensen hos den andra klocksignalen CLK2 i utföringsformen i figur 8 varierar i beroende av summan M. Utföringsformen av klockenheten 5a i figur 11 kan varieras på

10 olika sätt, exempelvis kan den andra klocksignalen CLK2 utnyttjas som den första klocksignalen CLK1 på liknande sätt som i utföringsformerna av arbitreraren 5 som visas i figur 7.

Normalt är de digitala bussystemen 1 och 1a konstruerade för ett visst antal (N) sändarenheter 9.1-9.N och bussystemens 1 och 1a

15 prestanda är avpassade för att klara av detta antal. Det sätt på vilket den andra klocksignalen CLK2 genereras enligt uppfinningen gör dock att de digitala bussystemen 1 och 1a fungerar effektivt även om ett lägre antal (säg N-K) sändarenheter istället innefattas i de bussystemen 1 och 1a. De

20 digitala bussystemen 1 och 1a är således mer flexibla, eftersom de med fördel kan användas med olika antal sändarenheter.

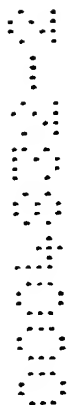
Utföringsformerna av arbitreraren 5 i figurerna 5 till 8 och klockenheten 5a i figurerna 10 och 11 kan byggas med olika kretsteknologier. Exempelvis kan programmerbara kretsar, såsom

25 FPGA-kretsar (Field Programmable Gate Array), utnyttjas. Alternativt utnyttjas istället ASIC-kretsar (Application-Specific Integrated Circuit), eller ASIC-kretsar i kombination med programmerbara kretsar.

Uppfinningen kan naturligtvis användas i alla tekniska tillämpningar där en fackman finner detta lämpligt. Speciellt

30 fördelaktig är uppfinningen i tekniska tillämpningar där ett stort antal sändarenheter utnyttjas, exempelvis inom data- och telekommunikationstillämpningar. Uppfinningen är även lämplig

att använda i bärbar (mobil) utrustning utan extern effekttillförsel, där det finns ett naturligt behov av att hålla nere effektförbrukningen.



PATENTKRAV

1. Digitalt bussystem (1;1a), innefattande:

5 åtminstone en första databuss (3), vilken inkluderar
åtminstone en dataledning (3b);

ett flertal sändarenheter(9.1-9.N), vilka är anslutna till
den första databussen;

åtminstone en mottagare (15), vilken är ansluten till den
första databussen;

10 organ (5;5a) för att generera en klocksignal (CLK2) som
anger med vilken takt som data sänds på den första databussen;
och

organ (3a) för att distribuera klocksignalen till sändar-
enheterna, k ä n n e t e c k n a t av:

15 att bussystemet innefattar organ (25,31) för att fastställa
åtminstone en första parameter (M;M1) som indikerar hur många av
sändarenheterna som har behov av att sända data över den första
databussen; och

att organen för att generera klocksignalen är anordnade att
20 generera klocksignalen i beroende av åtminstone den första
parametern enligt ett förutbestämt mönster så att datatakten på
den första databussen avtar i och med att ett minskande antal av
sändarenheterna har behov av att sända data över den första
databussen.

25

2. Digitalt bussystem (1;1a) enligt krav 1, där organen (5;5a)
för att generera klocksignalen (CLK2) innefattar:

organ (33) för att generera en referenssignal (34) med en
förutbestämd frekvens;

30 organ för frekvensmodifiering, vilket är anordnat att
mottaga referenssignalen och att generera klocksignalen genom
att frekvensmodifiera referenssignalen; och

styrorgan (39) för att styra organen för frekvensmodifiering
i beroende av den första parametern (M;M1).

35

3. Digitalt bussystem (1;1a) enligt krav 2, där organen för frekvensmodifiering innefattar en styrbar frekvensdelare.

4. Digitalt bussystem enligt krav 3, där frekvensdelaren
5 innefattar:

en binär räknare (35) med ett förutbestämt antal bitar, där den binära räknaren är anordnad att mottaga referenssignalen (34); och

10 en styrbar väljare (37), vilken är ansluten till den binära räknaren och anordnad att i beroende av styrning från styrorganet (39) välja en av bitarna från räknaren, varvid den valda biten utgör klocksignalen (CLK2).

15 5. Digitalt bussystem (1;1a) enligt krav 1, där organen (5;5a) för generering av klocksignalen (CLK2) innefattar en digitalt styrd oscillator (37).

6. Digitalt bussystem (1) enligt något av kraven 1 till och med 5, där sändarenheterna (9.1-9.N) innefattar organ (11.1-11.N)
20 för att begära att få sända data över den första databussen (3).

7. Digitalt bussystem (1) enligt krav 6, där bussystemet vidare innefattar organ (25,31) för att fastställa antalet begärande sändarenheter (9.1-9.N), och där organen för att fastställa den
25 första parametern är anordnade att fastställa den första parametern på basis av det fastställda antalet begärande sändarenheter.

8. Digitalt bussystem enligt något av kraven 6 eller 7, där
30 bussystemet vidare innefattar:

organ (27,29,7) för att avgöra och styra i vilken ordning som de begärande sändarenheterna (9.1-9.N) sänder data över den första databussen (3).

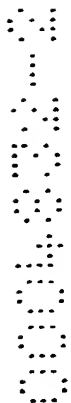
9. Digitalt bussystem (1) enligt något av kraven 7 eller 8, där bussystemet är anordnat att stänga av klocksignalen (CLK2) som svar på att det fastställda antalet begärande sändarenheter (9.1-9.N) är noll.

5

10. Digitalt bussystem (1a) enligt något av kraven 1 till och med 5, där sändarenheterna (9.1-9.N) innefattar organ för att detektera kollisioner på den första databussen (3).

10 11. Digitalt bussystem (1a) enligt krav 10, där bussystemet innefattar organ (13.1a-13.Na,7.1,25,31) för att fastställa åtminstone ett första värde (M1) som indikerar med vilken intensitet som kollisioner inträffar på den första databussen (3), och där organen för fastställande av den första parametern
15 är anordnade att fastställa den första parametern på basis av det första värdet.

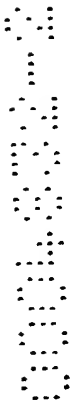
12. Digitalt bussystem (1a) enligt krav 11, där det första värdet (M1) motsvarar det antal av sändarenheterna (9.1-9.N) som
20 nyligen har detekterat en kollision.



SAMMANDRAG

Uppfinningen avser ett digitalt bussystem (1;1a) med låg effektförbrukning. Bussystemet (1;1a) är anordnat att fastställa åtminstone en parameter (M;M1) som ger en indikation av hur
5 många sändarenheter (9.1-9.N) i bussystemet (1;1a) som har behov av att sända data på en databuss (3). En klocksignal (CLK2) som anger en takt med vilken data sänds på genereras med hänsynstagande till den fastställda parametern (M;M1) enligt ett förutbestämt mönster. Härvidlag genereras klocksignalen (CLK2)
10 på ett sådant sätt att ju färre av sändarenheterna (9.1-9.N) som har behov av att sända data, desto lägre blir datatakten på databussen (3). Därmed minskas medeleffekten i sändarenheterna (9.1-9.N) och mottagare (15). Denna lägre effektförbrukning uppnås dessutom utan att väntetider för sändarenheterna (9.1-
15 9.N) att få sända data nämnvärt påverkas, eftersom klocksignalen (CLK2) genereras så att datatakten avpassas i beroende av hur många av sändarenheterna (9.1-9.N) som har behov av att sända data.

Publiceringsfigur: Figur 1



1/9

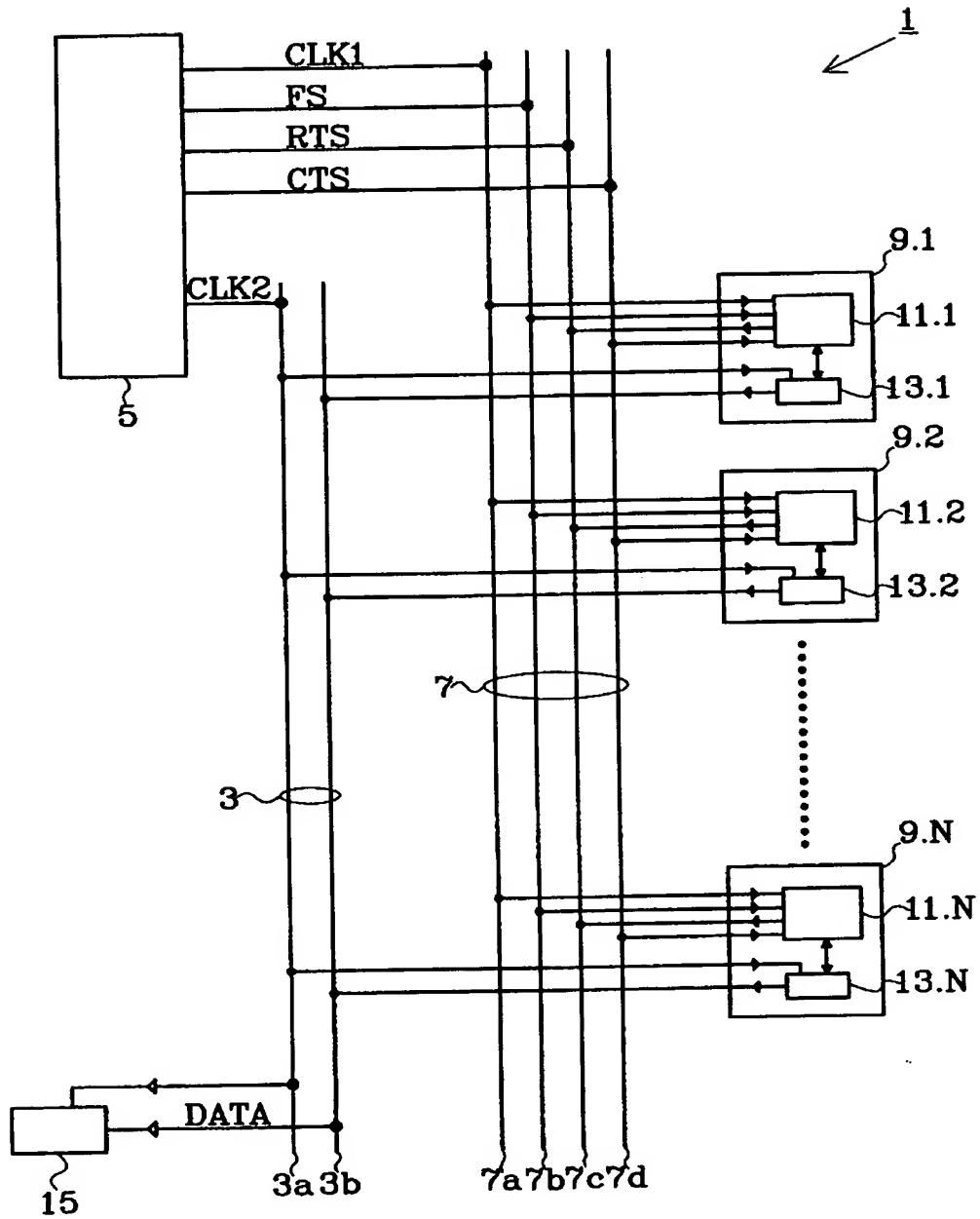


FIG. 1

2/9

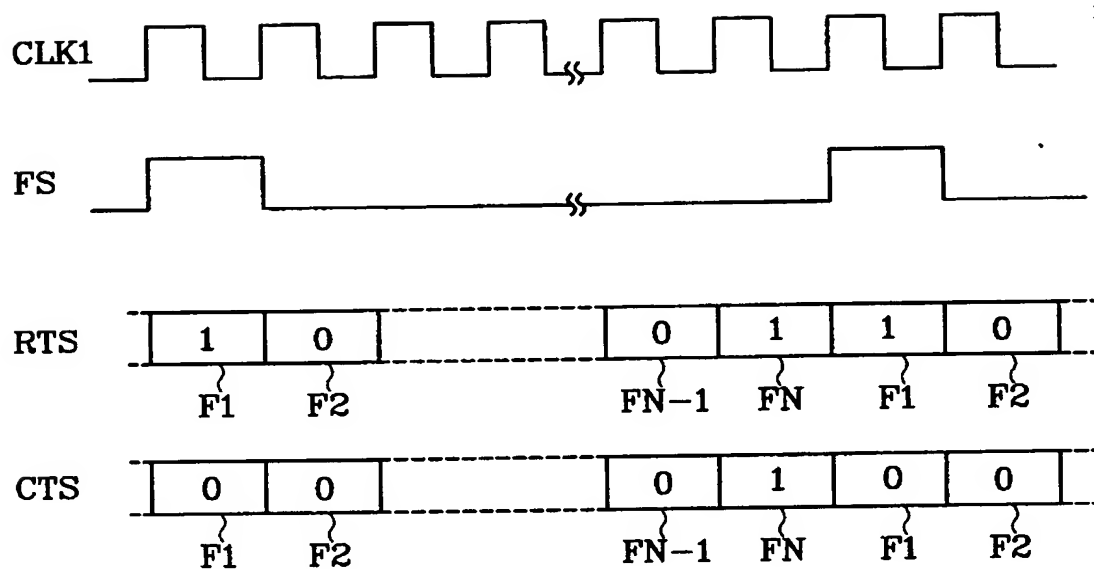


FIG. 2

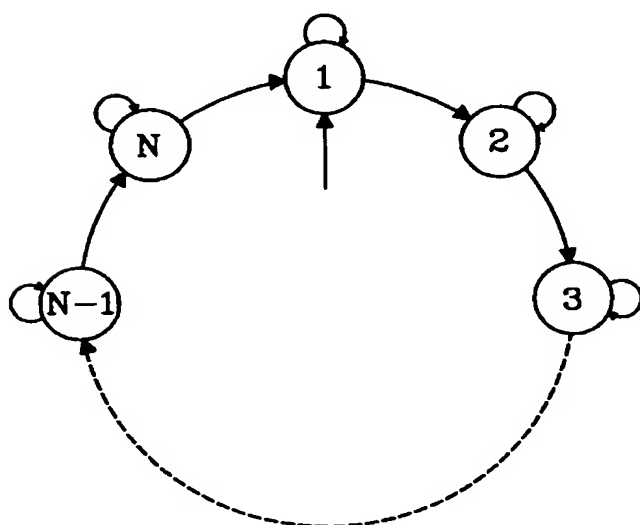


FIG. 3

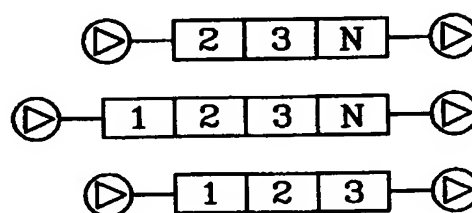


FIG. 4

3/9

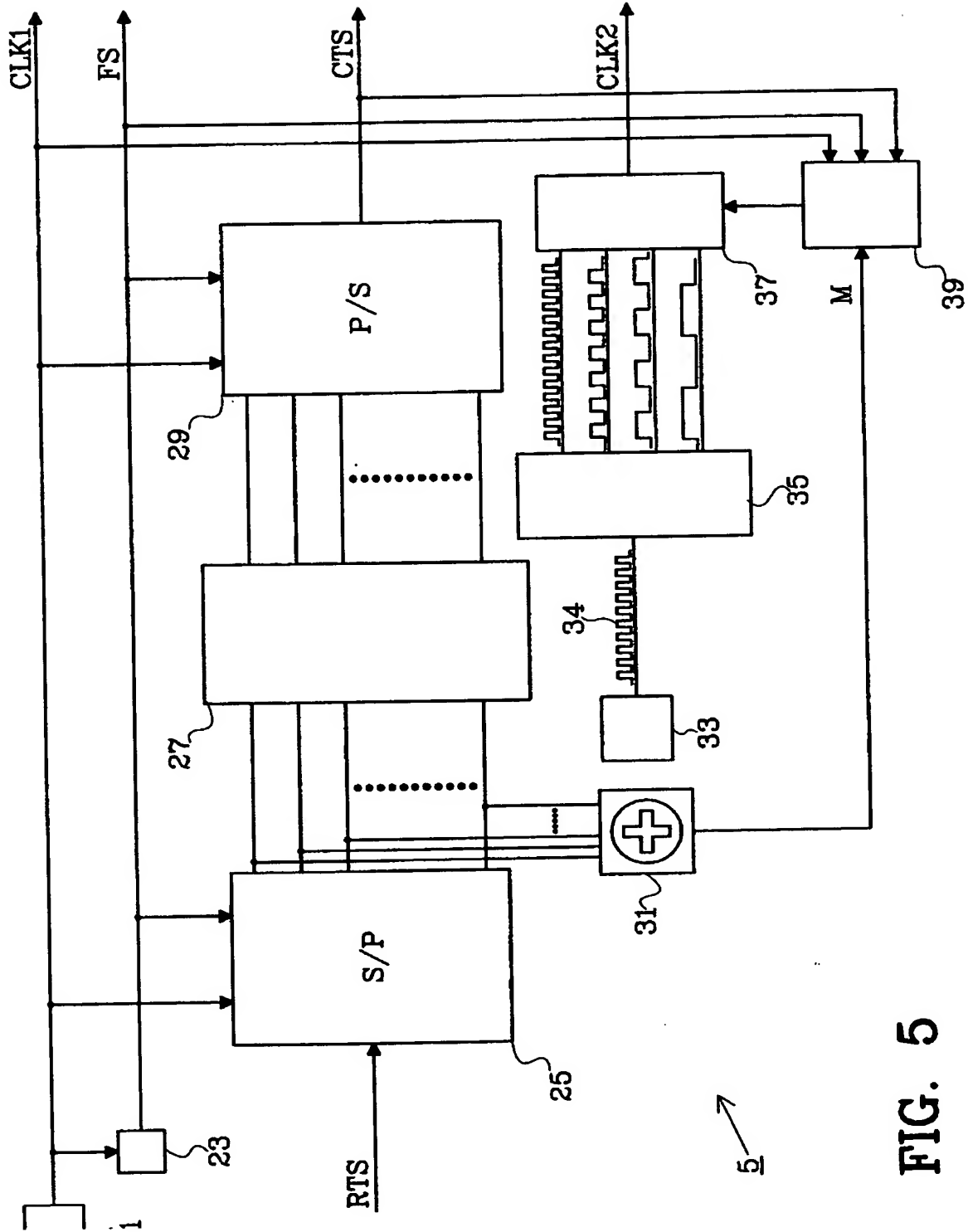


FIG. 5

4/9

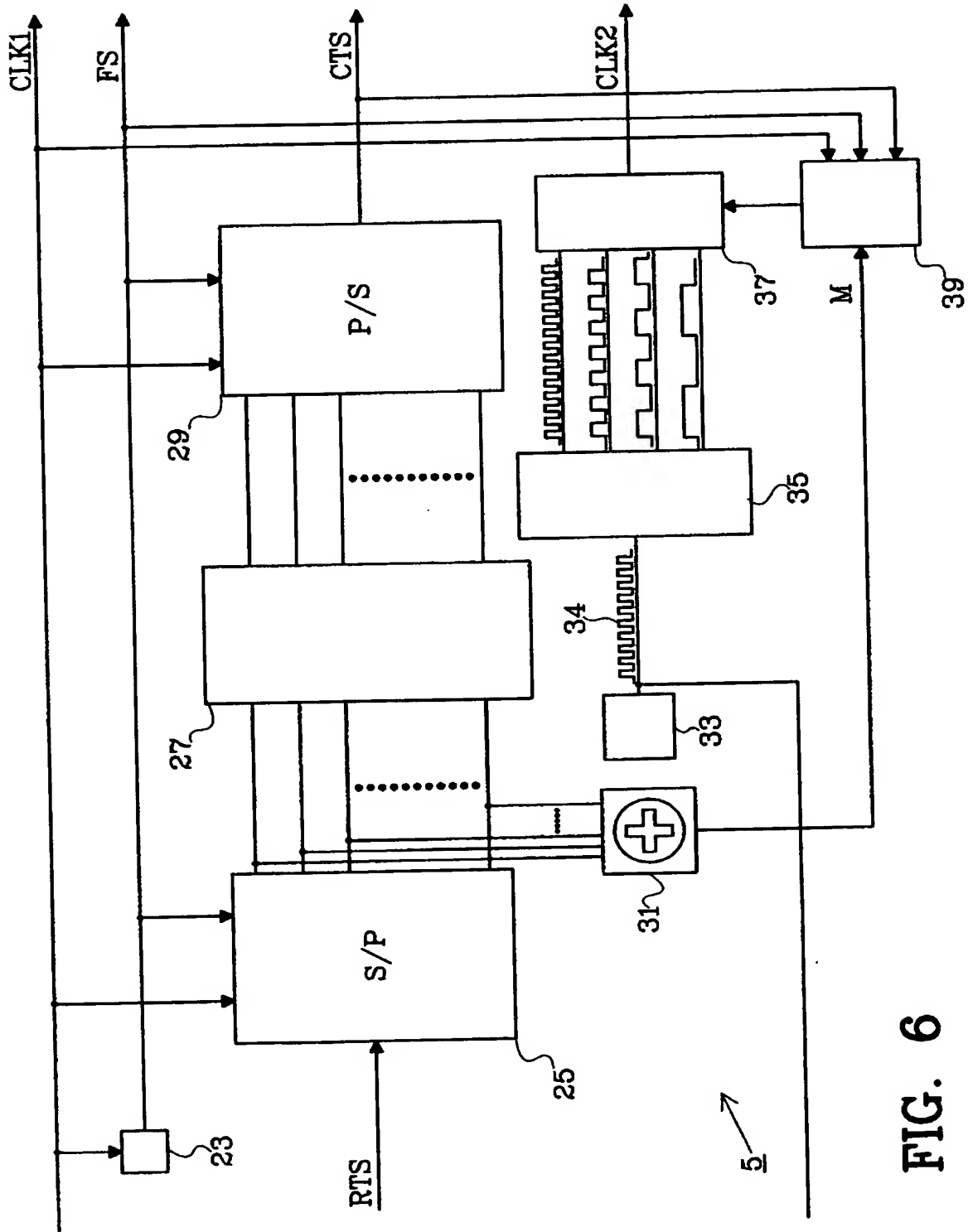


FIG. 6

5/9

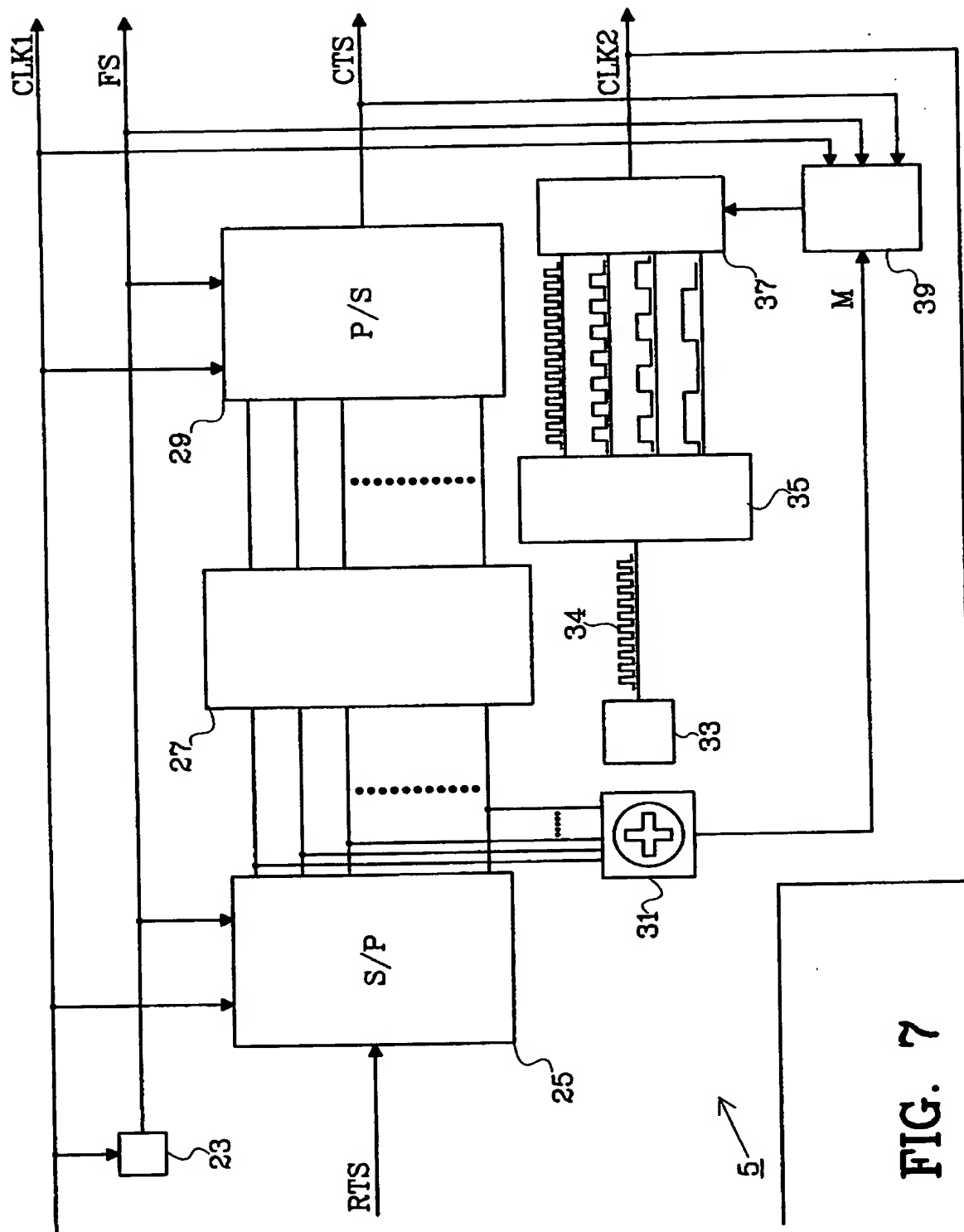


FIG. 7

6/9

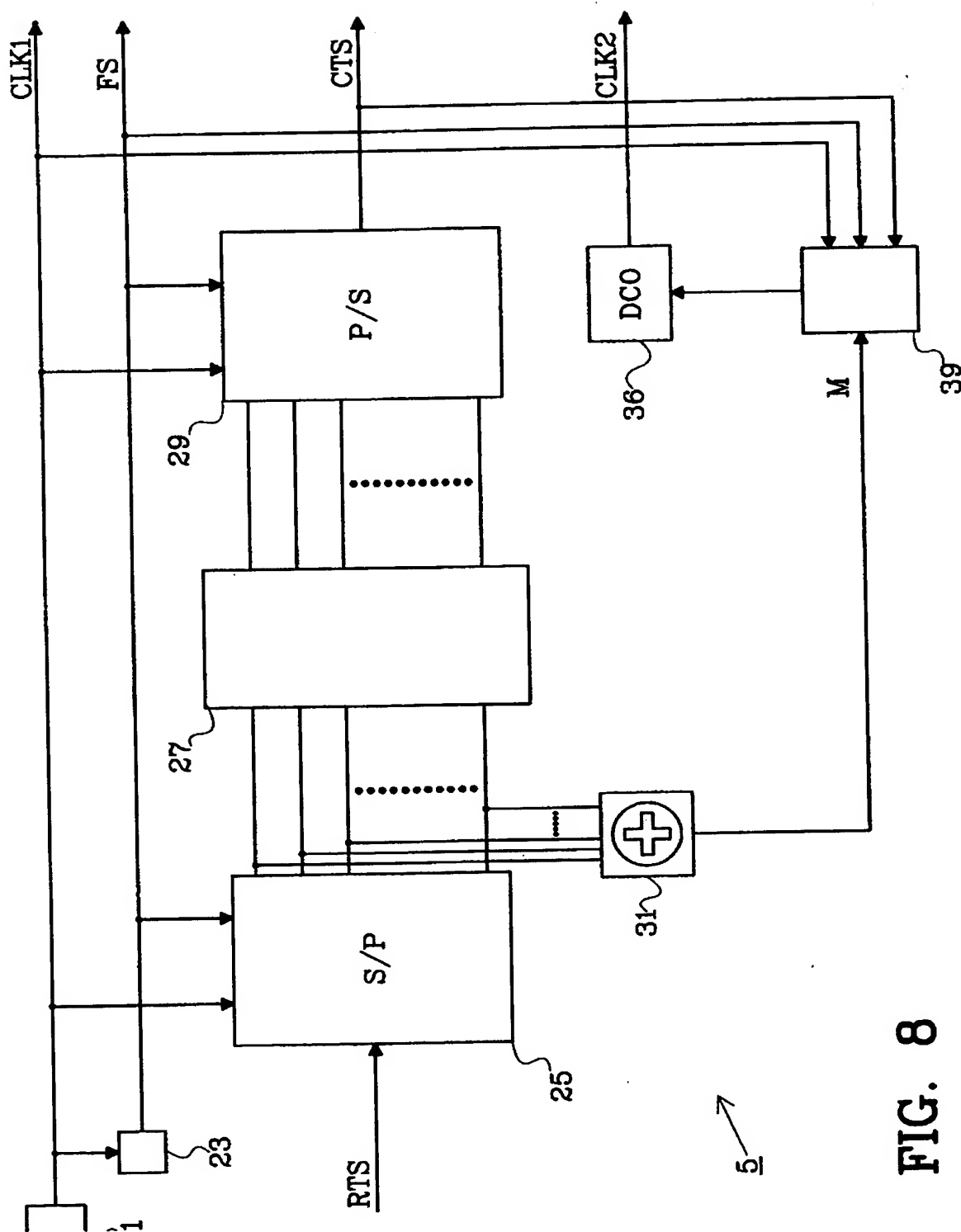
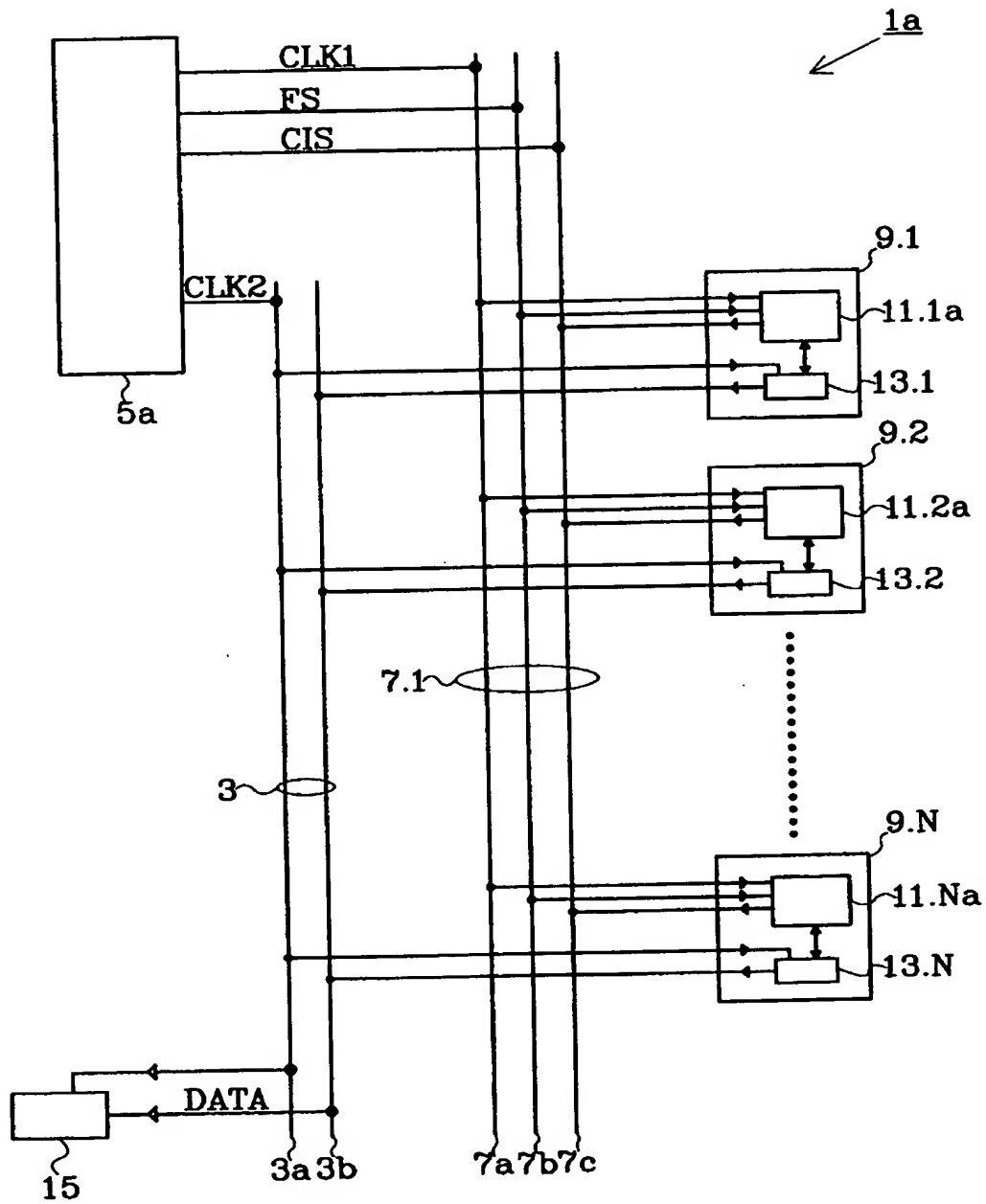


FIG. 8

7/9

**FIG. 9**

8/9

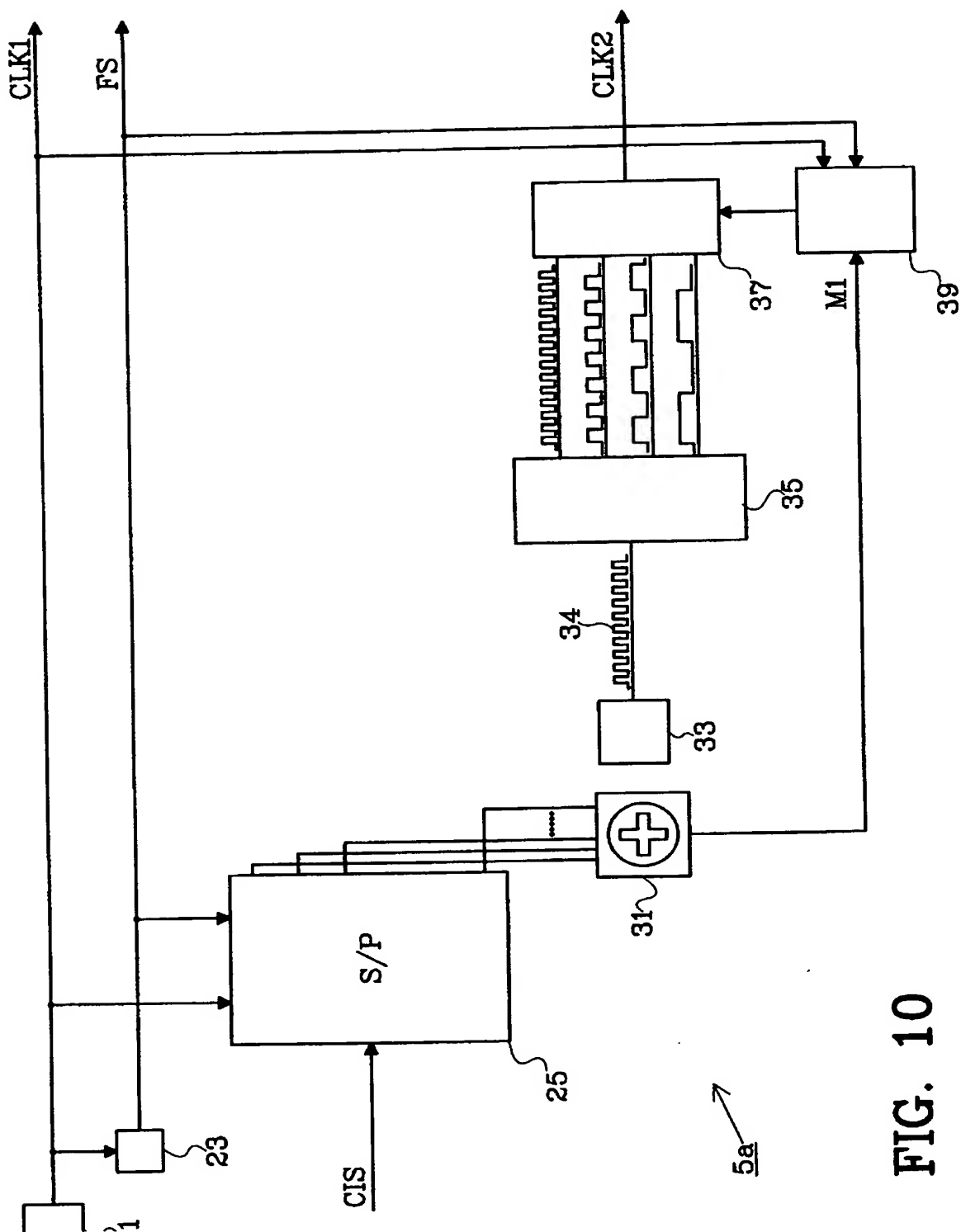


FIG. 10

9/9

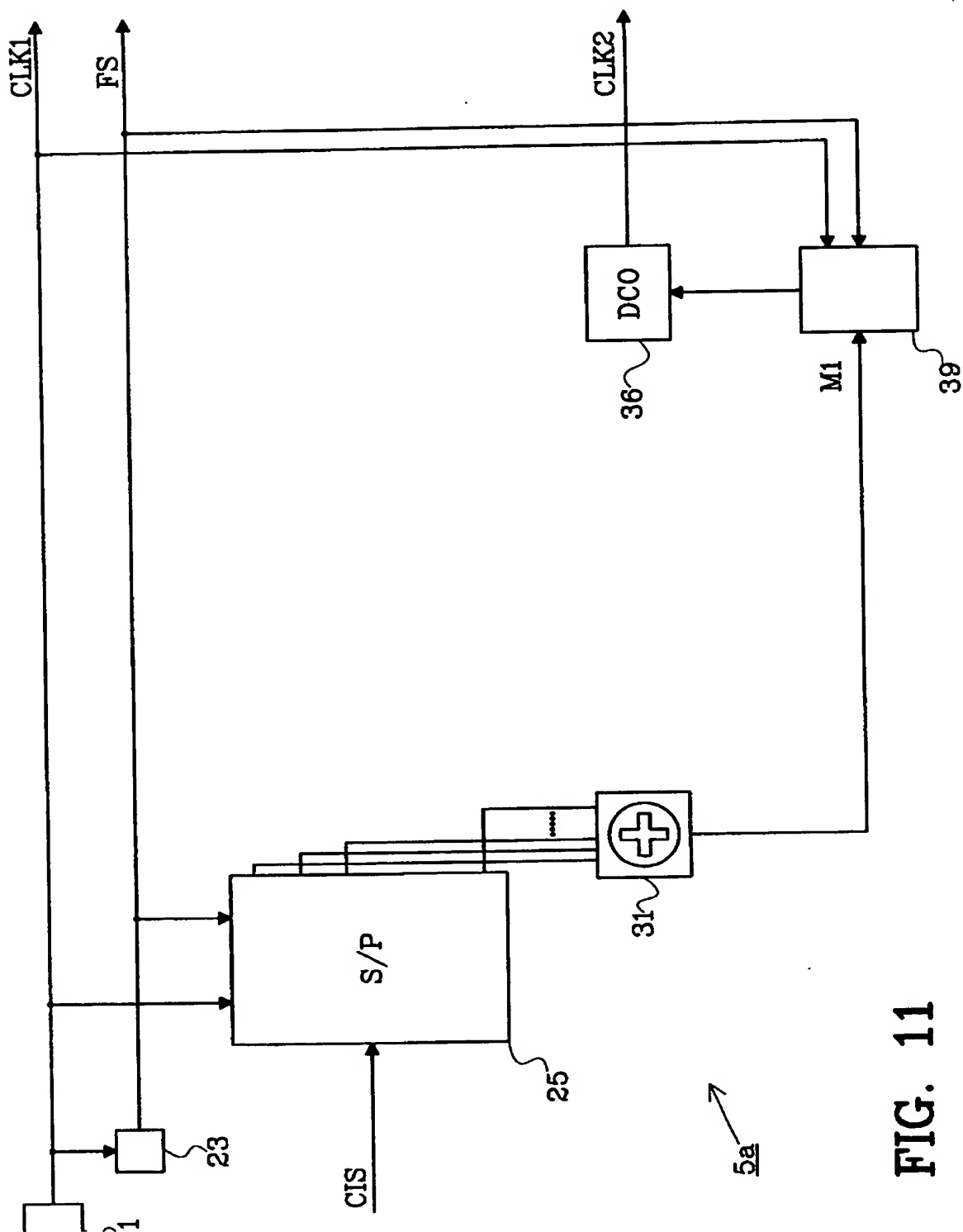


FIG. 11

5a